

P/1912-23

日 本 国 特 許 庁
JAPAN PATENT OFFICE

11000 U.S. PRO
09/085318



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 6月19日

出 願 番 号

Application Number:

特願2000-183653

出 願 人

Applicant(s):

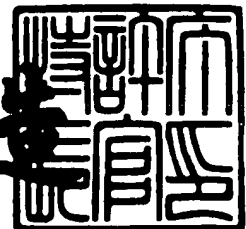
日本電気株式会社
宮城日本電気株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 5月18日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 45701597

【提出日】 平成12年 6月19日

【あて先】 特許庁長官 殿

【国際特許分類】 H04J 3/07

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 原 康

【発明者】

 【住所又は居所】 宮城県黒川郡大和町吉岡字雷神2番地

 【氏名】 早坂 純一

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【特許出願人】

 【識別番号】 000161253

 【氏名又は名称】 宮城日本電気株式会社

【代理人】

 【識別番号】 100102864

 【弁理士】

 【氏名又は名称】 工藤 実

【選任した代理人】

 【識別番号】 100099553

 【弁理士】

 【氏名又は名称】 大村 雅生

【手数料の表示】

 【予納台帳番号】 053213

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9715177

【包括委任状番号】 9815831

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 光デジタル伝送装置の固定パターン送信防止回路

【特許請求の範囲】

【請求項 1】 低次群信号を一時的に蓄積するメモリと、

前記メモリが出力する出力信号に光デジタル伝送に必要である付加ビットを多重化する多重回路と、

固定値を持たない非固定パターンを発生するパターン発生回路とを含み、

前記非固定パターンは、前記メモリが固定パターンを出力する間、前記多重回路に
入力される

光デジタル伝送装置の固定パターン送信防止回路。

【請求項 2】 請求項 1 において、

更に、前記多重回路と前記メモリの間に介設される選択回路を含み、

前記選択回路は前記メモリが出力する前記固定パターンと前記パターン発生回路が
出力する前記非固定パターンとのうちで前記非固定パターンを選択する

光デジタル伝送装置の固定パターン送信防止回路。

【請求項 3】 請求項 2 において、

更に、メモリへの書込みの位相とメモリからの読出しの位相との間の位相差を
比較し前記位相差が設定値よりも大きい場合に前記メモリをリセットするリセッ
ト信号を出力する位相比較器を含み、

前記選択回路は、前記リセット信号に基づいて前記非固定パターンを選択する

光デジタル伝送装置の固定パターン送信防止回路。

【請求項 4】 請求項 3 において、

更に、前記リセット信号を検出するリセット信号検出回路を含み、

前記メモリに入力される読出しアドレス信号は前記リセット信号検出回路に入
力され、

前記リセット信号検出回路は、前記メモリがリセットされた後に前記メモリに
最初に書き込まれた信号が前記メモリから読み出されるまでの間、前記読出しア
ドレス信号に基づいて切替信号を出力し、

前記選択回路は、前記リセット信号の他に前記切替信号に基づいて前記非固定

パターンを選択する

光デジタル伝送装置の固定パターン送信防止回路。

【請求項 5】請求項 4 において、

更に、判定回路と、

OR 回路とを含み、

前記判定回路は、前記 OR 回路と前記メモリの入力側との間に介設され、

前記判定回路は、前記メモリに書込まれる信号が設定時間の間固定パターンである場合に、切換信号を出力し、

前記 OR 回路には前記切替信号と前記切換信号とが入力し、

前記選択回路は、前記リセット信号と前記切替信号の他に前記切換信号に基づいて前記非固定パターンを選択する

光デジタル伝送装置の固定パターン送信防止回路。

【請求項 6】請求項 5 において、

前記非固定パターンはランダムパターンである

光デジタル伝送装置の固定パターン送信防止回路。

【請求項 7】一時的にデータを記録するメモリと、

前記メモリが出力する信号に光デジタル伝送に必要である付加ビットを多重化する多重回路と、

前記多重回路が出力する信号を光信号に変換する E/O 変換部と、

前記 E/O 変換部が出力する光信号を伝送する光ファイバーと、

前記光ファイバーが出力する光信号を電気信号に変換する O/E 変換部とを含み、

前記 O/E 変換部は、

受光素子と、

アンプと、

コンデンサーとを備え、

前記メモリが固定パターンを出力する間、前記多重回路に非固定パターンが入力される

光デジタル伝送装置の固定パターン送信防止回路。

【請求項 8】請求項 7 において、

前記被固定パターンはランダムパターンである

光デジタル伝送装置の固定パターン送信防止回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、光デジタル伝送装置の固定パターン送信防止回路に関し、特に、光デジタル伝送に必要である付加ビットにより多重化される電気信号が固定値である場合にその光信号を電気信号に変換する O/E 変換部で直流成分が生じることによる問題を克服する光デジタル伝送装置の固定パターン送信防止回路に関する。

【0002】

【従来の技術】

大容量伝送として、多チャンネル・時分割による光デジタル伝送が知られている。特開昭 63-300642 号、特開平 3-244238 号、特開平 5-199199 号に述べられているように、光デジタル伝送に必要である多重変換装置には、一時的に記憶するメモリにデータを書き込むための低次群入力信号の書込みクロックの位相と、それからそのデータを読み出すための高次群信号の読出しクロックの位相とを比較してそれらの位相の制御が必要であることが示されている。

【0003】

図 3 は、そのような位相比較器を備える公知の光デジタル伝送装置を示している。低次群信号 101 は、メモリ 102 に一時的に蓄積される。書込みアドレスカウンタ 103 が低次群信号クロック 104 に基づいて書込みアドレス 105 をメモリ 102 に渡すことによって、低次群信号 101 がメモリ 102 に書き込まれる。読出しアドレスカウンタ 106 が高次群信号クロック 107 に基づいて読出しアドレス 108 をメモリ 102 に渡すことによって、メモリ出力信号 109 がメモリ 102 から読み出される。読み出されたメモリ出力信号 109 は、光デジタル伝送に必要である付加ビットが多重回路 110 で多重化される。多重回路 110 が出力する多重化信号 111 は、E/O 変換部 112 で光信号に変換され

、光ファイバー 1 1 3 を通されて受信側の O / E 変換部 1 1 4 に送信される。既述の通り、位相比較器 1 1 5 が設けられている。位相比較回路 1 1 5 は、メモリ 1 0 2 への書込みの位相とメモリ 1 0 2 からの読出しの位相との間の位相差を監視し、低次群信号クロック 1 0 4 が外乱等により乱れてメモリ位相差がスリップする範囲に入ると、オーバーフロー又はアンダーフローとし、そのメモリ位相差を適正值に強制的に戻すために第 1 リセット信号 1 1 6 を出力する。メモリ 1 0 2 に蓄積されていたデータは、第 1 リセット信号 1 1 6 により一掃（クリア）される。この一掃により、低次群信号 1 0 1 が新たにメモリ 1 0 2 に書き込まれそれが新たに正常に読み出されるまでの間、メモリ 1 0 2 は、メモリ初期値である固定値” 1 ” を出力する。

【 0 0 0 4 】

このような固定値” 1 ” が出力され続ける時間は、メモリ 1 0 2 のメモリ容量に比例して長くなるので、メモリ容量が大きければ大きいほど、固定値出力継続時間が長くなる。このような固定値が入力される多重回路 1 1 0 が多重化して出力する多重化信号 1 1 1 であるデジタル信号は、そのマーク率（デューティ比）が 0 . 5 にならない。マーク率が 0 . 5 にならないことは、直流成分が発生することを意味する。このような直流成分が発生すると、コンデンサー 1 1 7 を含む O / E 変換部 1 1 4 の識別器 1 1 8 が受信信号を誤って識別する識別誤りが発生し、クロック抽出回路 1 1 9 は受信信号のクロックを抽出することができず、その結果、クロック出力信号 1 2 0 の出力停止をひき起こし、更に、そのような固定値信号が光波長多重伝送システムに用いられた場合、そのシステム内の光信号の平均パワーが変化して他の波長の信号に影響を与えてしまうことなどの好ましくない諸現象が発生する。

【 0 0 0 5 】

このような直流成分の発生を抑制する技術が知られている。その公知技術では、E / O 変換器の前にスクランブル回路が配置され、O / E 変換器の後ろにデスクランブル回路が配置されている。このような公知技術は、伝送速度が超高速になればスクランブル回路とデスクランブル回路を設けることがデバイス上困難であり、回路規模が大きくなる問題を抱えている。

【0006】

このような直流成分の発生を抑制することが望まれる。更に、そのような直流成分の発生を抑制する回路の簡素化が好ましい。

【0007】

【発明が解決しようとする課題】

本発明の課題は、直流成分の発生を抑制することができる光デジタル伝送装置の固定パタン送信防止回路を提供することにある。

本発明の他の課題は、直流成分の発生を抑制する回路が簡素である光デジタル伝送装置の固定パタン送信防止回路を提供することにある。

【0008】

【課題を解決するための手段】

その課題を解決するための手段が、下記のように表現される。その表現中に現れる技術的事項には、括弧（ ）つきで、番号、記号等が添記されている。その番号、記号等は、本発明の実施の複数・形態又は複数の実施例のうちの少なくとも1つの実施の形態又は複数の実施例を構成する技術的事項、特に、その実施の形態又は実施例に対応する図面に表現されている技術的事項に付せられている参照番号、参照記号等に一致している。このような参照番号、参照記号は、請求項記載の技術的事項と実施の形態又は実施例の技術的事項との対応・橋渡しを明確にしている。このような対応・橋渡しは、請求項記載の技術的事項が実施の形態又は実施例の技術的事項に限定されて解釈されることを意味しない。

【0009】

本発明による光デジタル伝送装置の固定パタン送信防止回路は、低次群信号（2）を一時的に蓄積するメモリ（1）と、メモリ（1）が出力する出力信号（9）に光デジタル伝送に必要である付加ビットを多重化する多重回路（20）と、固定値を持たない非固定パタン（19）を発生するパタン発生回路（18）とを含み、非固定パタン（19）は、メモリ（1）が固定パタンを出力する間、多重回路（20）に入力される。非固定パタンに関して多重化されるので、固定パタンを多重化する場合の障害が生じない。

【0010】

更に、多重回路（20）とメモリ（1）の間に介設される選択回路（17）が追加される。選択回路（17）はメモリ（1）が出力する固定パターン（9）とパターン発生回路（18）が出力する非固定パターン（19）とのうちで非固定パターン（19）を選択する。非固定化のための選択回路（17）とパターン発生回路（18）との追加は、回路規模の増大を十分に小さくしている。

【0011】

更に、メモリ（1）への書込みの位相とメモリからの読出しの位相との間の位相差を比較し位相差が設定値よりも大きい場合にメモリ（1）をリセットするリセット信号を出力する位相比較器（13）が設けられている。選択回路（17）は、リセット信号（16）に基づいて非固定パターン（19）を選択する。公知の位相比較器を活用し簡素な回路の追加によって、多重化対象信号を非固定化することができる。

【0012】

更に、リセット信号（16）を検出するリセット信号検出回路（21）が追加されることが好ましい。メモリ（1）に入力される読出しアドレス信号（8）はリセット信号検出回路（21）に入力され、リセット信号検出回路（21）は、メモリ（1）がリセットされた後にメモリ（1）に最初に書き込まれた信号がメモリ（1）から読み出されるまでの間、読出しアドレス信号（8）に基づいて切替信号（22）を出力し、選択回路（17）は、リセット信号（16）の他に切替信号（22）に基づいて非固定パターン（19）を選択する。公知の読出しアドレス信号（8）を好都合に活用することができる。

【0013】

更に、判定回路（41）と、OR回路（42）とが追加されることは十分に好ましい。判定回路（41）は、OR回路（42）とメモリ（1）の入力側との間に介設され、判定回路（41）は、メモリ（1）に書込まれる信号が設定時間の間固定パターンである場合に、切替信号（43）を出力し、OR回路（42）には切替信号（22）と切替信号（43）とが入力し、選択回路（17）は、リセット信号（16）と切替信号（22）の他に切替信号（43）に基づいて非固定パターン（19）を選択する。低次群信号（2）が固定的である場合にも、選択回路

(17) を活用して、固定化を防止することができる。非固定パターン(19)はランダムパターンであることが十分に有効であり、マーク率を簡素に0.5にすることができる。

【0014】

本発明による光デジタル伝送装置の固定パターン送信防止回路は、一時的にデータを記録するメモリ(1)と、メモリ(1)が出力する信号(9)に光デジタル伝送に必要である付加ビットを多重化する多重回路(20)と、多重回路(20)が出力する信号(26)を光信号に変換するE/O変換部(27)と、E/O変換部(27)が出力する光信号を伝送する光ファイバー(28)と、光ファイバー(28)が出力する光信号を電気信号に変換するO/E変換部(29)とを含み、O/E変換部(29)は、受光素子(31)と、アンプ(32)と、コンデンサー(36)とを備え、メモリ(1)が固定パターンを出力する間、多重回路(20)に非固定パターン(19)が入力される。コンデンサを持つ回路に固定化信号が入力されず、直流成分が生じない。

【0015】

【発明の実施の形態】

図に一致対応して、本発明による光デジタル伝送装置の固定パターン送信防止回路の実施の形態は、メモリが多重回路とともに設けられている。そのメモリ1には、図1に示されるように、低次群信号2が入力し、低次群信号2は、メモリ1に一時的に蓄積される。メモリ1は、速度変換とクロックの外乱吸収とのために一時的にデータを記憶するnビット深さを有している。書込みアドレスカウンタ3と読出しアドレスカウンタ4とが、メモリ1に接続している。書込みアドレスカウンタ3が低次群信号クロック5に基づいて書込みアドレス信号6をメモリ1に渡すことによって、低次群信号2がメモリ1に書き込まれる。読出しアドレスカウンタ4が高次群信号クロック7に基づいて読出しアドレス信号8をメモリ1に渡すことによって、メモリ出力信号9がメモリ1から読み出される。

【0016】

高次群信号クロック7は、タイミング発生回路11を介して読出しアドレスカウンタ4に入力される。タイミング発生回路11は、高次群信号クロック7に基

づいて第1タイミング信号12を出力する。読出しアドレスカウンタ4は、第1タイミング信号12に基づいて読出しアドレス8をメモリ1に送信する。

【0017】

書込みアドレスカウンタ3と読出しアドレスカウンタ4とは、位相比較器13に接続している。書込みアドレスカウンタ3が出力する書込みアドレス信号6と読出しアドレスカウンタ4が出力する読出しアドレス信号8とは、位相比較器13に入力する。位相比較器13は、書込みアドレス信号6の位相と読出しアドレス信号8の位相とを比較し、それらの位相差の程度を監視し、メモリ1をスリップさせる範囲にその位相差の程度が入った場合に、オーバーフロー又はアンダーフローとして、メモリ位相差を適正值に強制的に引き戻すための第1リセット信号14を出力する。

【0018】

第1リセット信号14は、OR回路15を介して第2リセット信号16になって、メモリ1と書込みアドレスカウンタ3と読出しアドレスカウンタ4とに入力する。第2リセット信号16を受けたメモリ1が出力するメモリ出力信号9は、メモリが正常に復帰するまで、固定値”1”である。

【0019】

メモリ1は、多重回路20に接続している。多重回路20とメモリ1との間に、選択回路17が介設されている。選択回路17に、ランダムパターン発生回路18が接続している。タイミング発生回路11が生成する第1タイミング信号12は、読出しアドレスカウンタ4の他にランダムパターン発生回路18に入力する。第1タイミング信号12を受けたランダムパターン発生回路18は、第1タイミング信号12に制御されて非固定パターン信号19を生成する。非固定パターン19としては、ランダム信号からなるランダムパターンが好ましい。

【0020】

第2リセット信号16を検出して切替信号を生成するリセット信号検出切換制御回路21が、選択回路17に接続している。リセット信号検出切換制御回路21は、選択回路17とOR回路15との間に介設されている。第1リセット信号14は、OR回路15を介して第2リセット信号16になってリセット信号検出

切換制御回路 2 1 に入力する。読出しアドレスカウンタ 4 が生成する既述の読出しアドレス信号 8 は、リセット信号検出切換制御回路 2 1 に入力する。読出しアドレス信号 8 と第 2 リセット信号 1 6 とを受けるリセット信号検出切換制御回路 2 1 は、切替信号 2 2 を生成して出力する。切替信号 2 2 は、選択回路 1 7 に入力される。

【 0 0 2 1 】

第 1 リセット信号 1 4 が位相比較器 1 3 から出力されると、読出しアドレス信号 8 と第 2 リセット信号 1 6 を受けたリセット信号検出切換制御回路 2 1 が出力する切替信号 2 2 に基づいて、選択回路 1 7 はメモリ出力信号 9 と非固定パターン信号 1 9 とのうちから非固定パターン信号 1 9 を選択して、その非固定パターン信号 1 9 を出力する。このように選択された非固定パターン信号 1 9 が、多重回路 2 0 に入力される。従って、第 1 リセット信号 1 4 が生成されれば、メモリ 1 が出力する固定値” 1 ” は、多重回路 2 0 に入力されない。このように固定値” 1 ” が多重回路 2 0 に入力されない状態は、第 2 リセット信号 1 6 の入力によってメモリ 1 がリセットされた後にメモリ 1 に最初に入力される信号が読み出される時刻、又は、その信号が読み出されるアドレスまで継続される。

【 0 0 2 2 】

タイミング発生回路 1 1 は、第 2 タイミング信号 2 3 を出力する。多重回路 2 0 は、第 2 タイミング信号 2 3 に制御されて、メモリ 1 から出力されるメモリ出力信号 9 とランダムパターン発生回路 1 8 から出力される非固定パターン信号 1 9 のうちで選択回路 1 7 により選択される信号に付加ビットを多重化する。

【 0 0 2 3 】

OR 回路 1 5 に、パワーオンリセット回路 2 4 が接続している。パワーオンリセット回路 2 4 は、電源投入時に、メモリ 1 の既述の位相差が適正值で動作を開始するように第 3 リセット信号 2 5 を出力する。電源投入時に出力される第 3 リセット信号 2 5 は、メモリ 1 と書込みアドレスカウンタ 3 と読出しアドレスカウンタ 4 とをリセットするとともに、OR 回路 1 5 を介してリセット信号検出切換制御回路 2 1 に入力する。リセット信号検出切換制御回路 2 1 は、第 3 リセット信号 2 5 に基づいて切替信号 2 2 を出力し、メモリ出力信号 9 と非固定パターン信

号 1 9 のうちから非固定パターン信号 1 9 を選択回路 1 7 に選択させる。

【 0 0 2 4 】

多重回路 2 0 が出力する多重化信号 2 6 は、E / O 変換器 2 7 で光信号に変換され、光ファイバー 2 8 を通されて、受信側の O / E 変換部 2 9 に送信される。O / E 変換部 2 9 は、受光素子 3 1 と、アンプ 3 2 と、識別器 3 3 と、クロック検出回路 3 4 とを備えている。受光素子 3 1 とアンプ 3 2 との間に、第 1 コンデンサ 3 5 が介設されている。識別器 3 3 とアンプ 3 2 の間に、第 2 コンデンサ 3 6 が介設されている。アンプ 3 2 は、識別器 3 3 とクロック検出回路 3 4 に並列に接続している。O / E 変換部 2 9 に入力する信号は、受光素子 3 1 により小信号の電気デジタル信号 3 7 に変換され、第 1 コンデンサ 3 5 とアンプ 3 2 によりその交流成分のみが増幅され、その増幅交流成分は、第 2 コンデンサ 3 6 とクロック検出回路 3 4 とを介して識別器 3 3 に入力する。

【 0 0 2 5 】

クロック検出回路 3 4 は、そのデジタル信号の中からクロック成分を抽出してクロック 3 8 を出力する。クロック 3 8 が入力された識別器 3 3 は、アンプ 3 2 と第 2 コンデンサ 3 6 を通されて識別器 3 3 に入力する信号が識別器 3 3 の中に設定された閾値電圧より高いか低いかを識別し、その高低に基づいて、“ 1 ” 又は “ 0 ” である出力信号 3 9 を出力する。

【 0 0 2 6 】

O / E 変換部 2 9 に入力する信号は、選択回路 1 7 により選択された信号であり、リセット状態にある間のメモリ 1 が出力する固定値は選択回路 1 7 により選択されることがなく、その期間は、ランダムパターンが選択回路 1 7 により選択され、そのランダムパターンのマーク率は 0 . 5 が保証されていて、従って、O / E 変換部 2 9 に入力する信号は十分に非固定的な値を持つ。その非固定値信号は、メモリ出力信号 9 の中で、コンデンサ 3 6 , 3 7 等により直流成分化せず、識別器 3 3 の識別誤りが防止されている。スクランブル回路とデスクランブル回路に代替されるランダムパターン発生回路は、スクランブル回路とデスクランブル回路に比べて十分にその回路規模が小さい。

【 0 0 2 7 】

図 2 は、本発明による実施の他の形態を示している。本実施の形態は、図 1 に示される全体の回路に、更に、判定回路 4 1 と他の O R 回路 4 2 とが追加されている。他の O R 回路 4 2 は、選択回路 1 7 とリセット信号検出切換制御回路 2 1 との間に介設されている。既述の切替信号 2 2 は、他の O R 回路 4 2 に入力する。他の O R 回路 4 2 とメモリ 1 の入力側との間に、判定回路 4 1 が介設されている。判定回路 4 1 は、メモリ 1 に書込まれる信号が設定時間の間で” 1 ” か” 0 ” に限られる固定パターンである場合に、ランダムパターン選択指示信号（切替信号） 4 3 を出力する。ランダムパターン選択指示信号 4 3 が入力された選択回路 1 7 は、メモリ出力信号 9 と非固定パターン信号 1 9 のうちから非固定パターン信号 1 9 を選択する。

【 0 0 2 8 】

このように、メモリ 1 の中の既述のメモリ位相差が正常値である場合にも、低次群信号 2 が固定値である場合に、多重化信号 2 6 は非固定値であって、非固定値が O / E 変換部 2 9 に入力することがない。

【 0 0 2 9 】

【発明の効果】

本発明による光デジタル伝送装置の固定パターン送信防止回路は、光デジタル伝送装置の固定値出力を防止することができ、その解決手段は簡素である。

【図面の簡単な説明】

【図 1】

図 1 は、本発明による光デジタル伝送装置の固定パターン送信防止回路の実施の形態を示す回路図である。

【図 2】

図 2 は、本発明による光デジタル伝送装置の固定パターン送信防止回路の実施の他の形態を示す回路図である。

【図 3】

図 3 は、公知装置を示す回路図である。

【符号の説明】

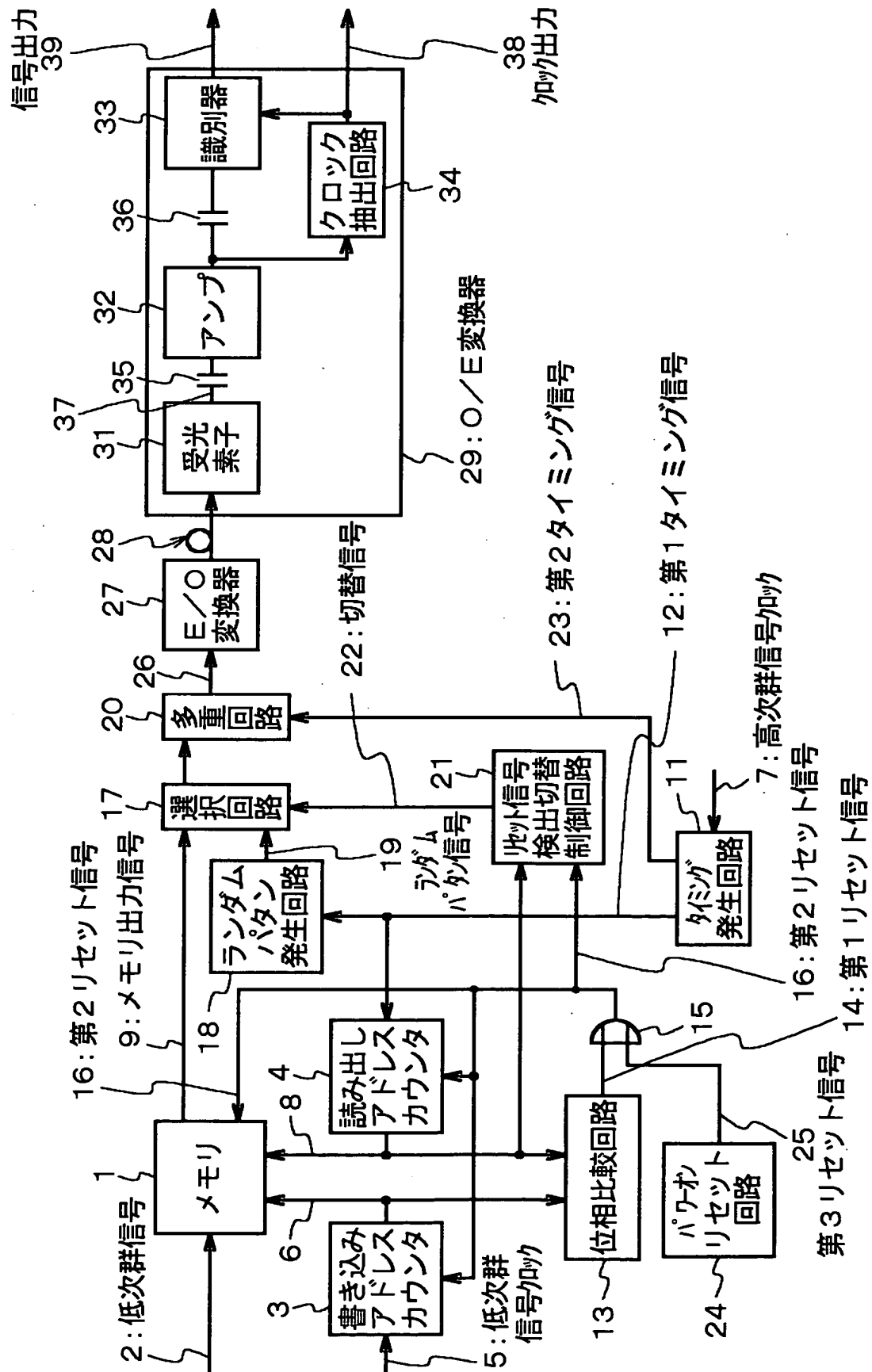
1 …メモリ

- 2 …低次群信号
- 8 …読出しアドレス信号
- 9 …出力信号（固定パターン）
- 1 3 …位相比較器
- 1 6 …リセット信号
- 1 7 …選択回路
- 1 8 …パターン発生回路
- 1 9 …非固定パターン
- 2 0 …多重回路
- 2 1 …リセット信号検出回路
- 2 2 …切替信号
- 2 6 …信号
- 2 7 …E / O 変換部
- 2 8 …光ファイバー
- 2 9 …O / E 変換部
- 3 1 …受光素子
- 3 2 …アンプ
- 3 6 …コンデンサー
- 4 1 …判定回路
- 4 2 …O R 回路
- 4 3 …切替信号

特 2 0 0 0 - 1 8 3 6 5 3

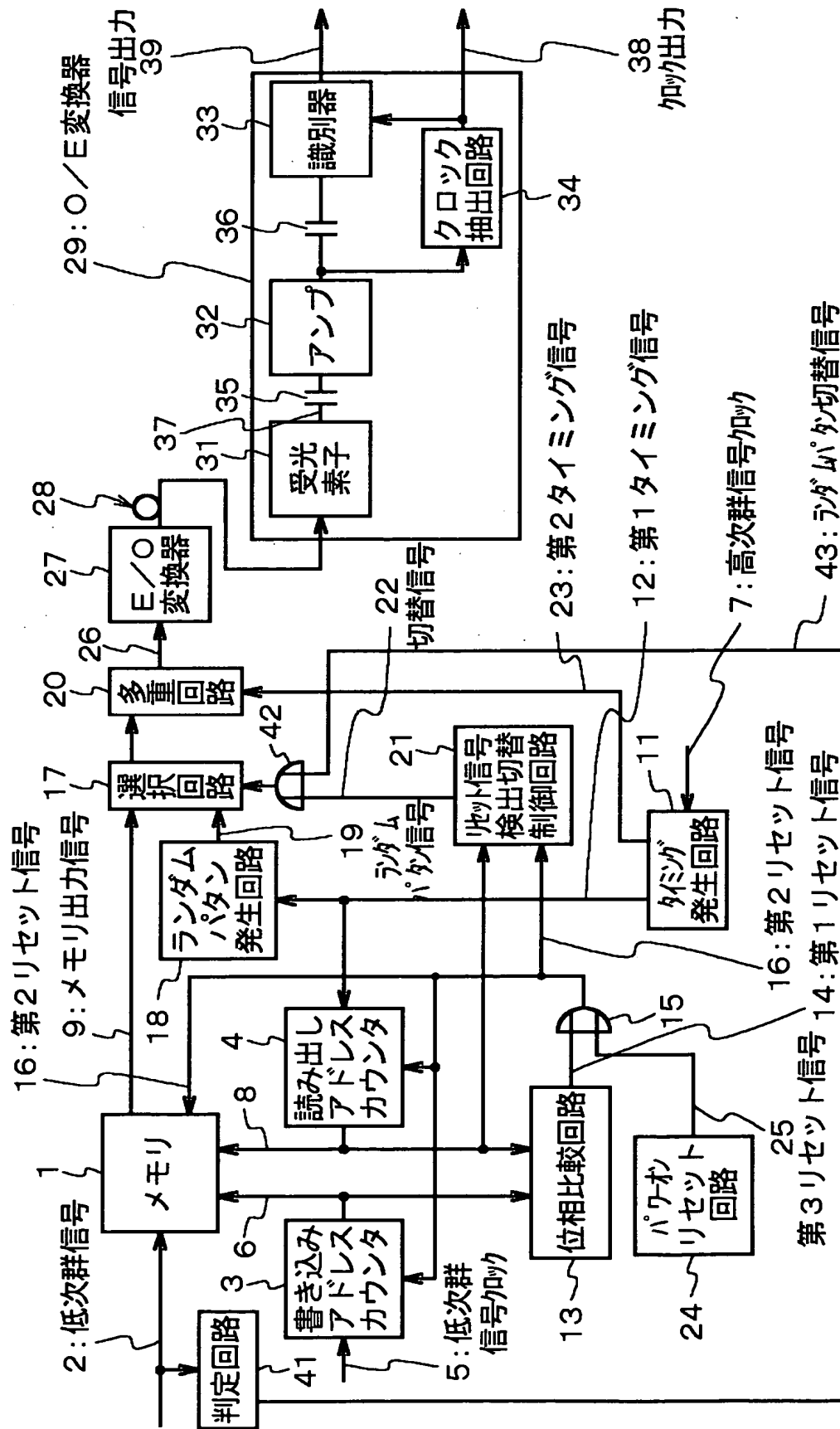
【書類名】 図面

【図 1】



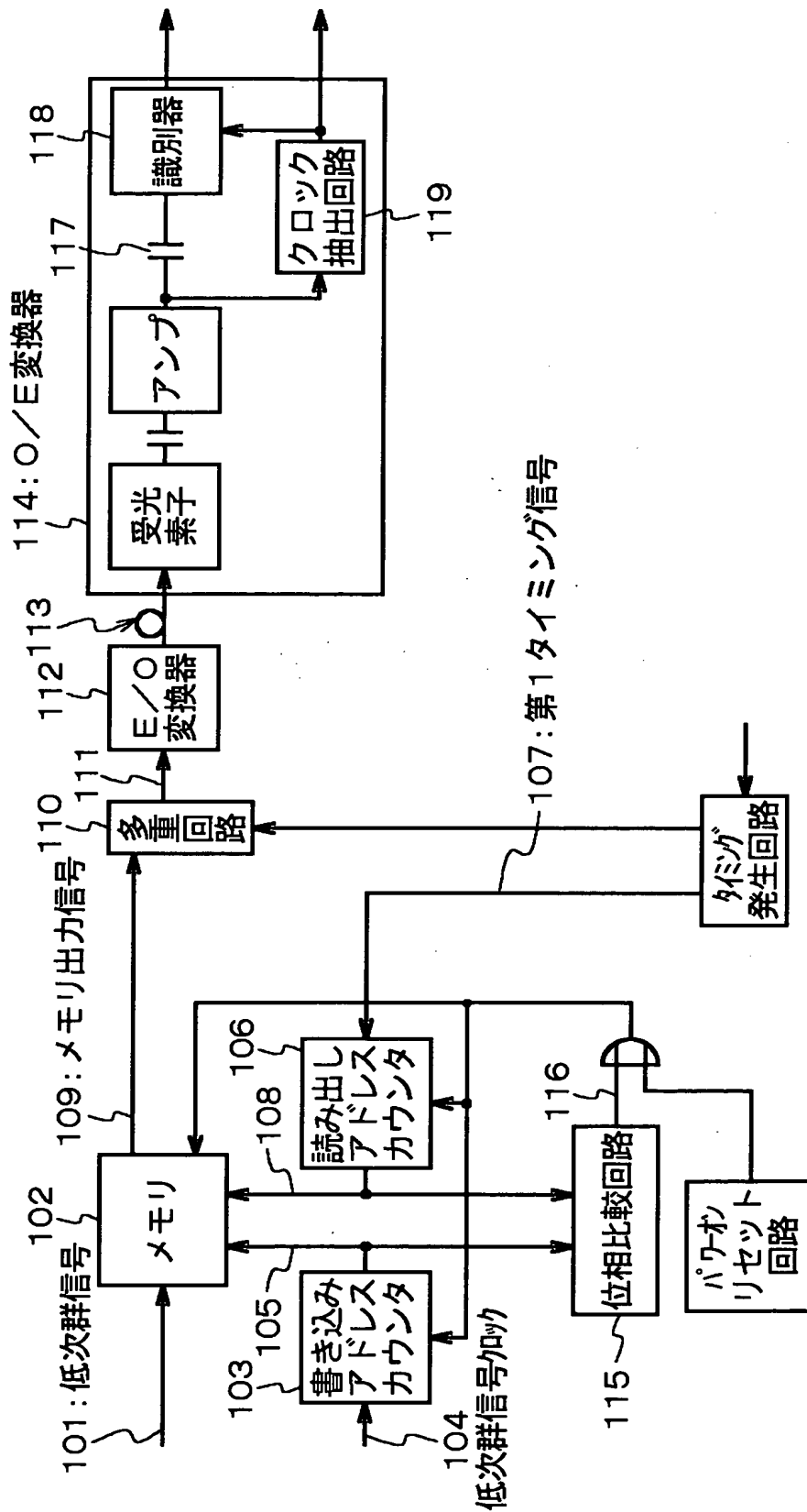
特 2 0 0 0 - 1 8 3 6 5 3

【図 2】



特2000-183653

【図3】



【書類名】 要約書

【要約】

【課題】 直流成分の発生を抑制する回路が簡素であること。

【解決手段】 低次群信号 2 を一時的に蓄積するメモリ 1 が出力する出力信号 9 に光デジタル伝送に必要である付加ビットを多重化する多重回路 2 0 と、固定値を持たない非固定パターン 1 9 を発生するパターン発生回路 1 8 とが設けられている。非固定パターン 1 9 は、メモリ 1 が固定パターンを出力する間、多重回路 2 0 に入力される。非固定パターンに関して多重化されるので、固定パターンを多重化する場合の障害が生じない。更に、多重回路 2 0 とメモリ 1 の間に介設される選択回路 1 7 が追加される。選択回路 1 7 はメモリ 1 が出力する固定パターン 9 とパターン発生回路 1 8 が出力する非固定パターン 1 9 とのうちで非固定パターン 1 9 を選択する。非固定化のための選択回路 1 7 とパターン発生回路 1 8 との追加は、回路規模の増大を十分に小さくしている。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2000-183653
受付番号	50000763666
書類名	特許願
担当官	第八担当上席 0097
作成日	平成12年 6月20日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000004237
【住所又は居所】	東京都港区芝五丁目7番1号
【氏名又は名称】	日本電気株式会社

【特許出願人】

【識別番号】	000161253
【住所又は居所】	宮城県黒川郡大和町吉岡字雷神2番地
【氏名又は名称】	宮城日本電気株式会社

【代理人】

申請人

【識別番号】	100102864
【住所又は居所】	東京都品川区南大井6丁目24番10号 カドヤ 第10ビル6階 工藤国際特許事務所
【氏名又は名称】	工藤 実

【選任した代理人】

【識別番号】	100099553
【住所又は居所】	東京都品川区南大井6丁目24番10号 カドヤ 第10ビル6階 工藤国際特許事務所
【氏名又は名称】	大村 雅生

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社

出 願 人 履 歴 情 報

識別番号 [000161253]

1. 変更年月日 1990年 9月 1日
[変更理由] 新規登録
住 所 宮城県黒川郡大和町吉岡字雷神2番地
氏 名 宮城日本電気株式会社